

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SHIZUKUISHI

Group Art Unit: Unknown

Application No.: New Application

Examiner: Unknown

Filed: Concurrently Herewith

Attorney Dkt. No.: 107317-00060

For: SOLID STATE IMAGE PICKUP DEVICE WITH NON-VOLATILE MEMORY

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 29, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-219812 filed on July 29, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/jch

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月29日

出 願 番 号

Application Number:

特願2002-219812

[ST.10/C]:

[JP 2002-219812]

出 願 人

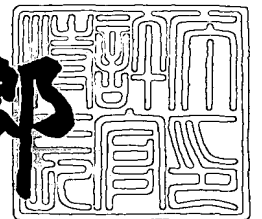
Applicant(s):

富士フイルムマイクロデバイス株式会社
富士写真フイルム株式会社

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021467

【書類名】 特許願

【整理番号】 DL3051

【提出日】 平成14年 7月29日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/535

【発明の名称】 固体撮像素子

【請求項の数】 14

【発明者】

【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フイルム
マイクロデバイス株式会社内

【氏名】 雫石 誠

【特許出願人】

【識別番号】 391051588

【氏名又は名称】 富士フイルムマイクロデバイス株式会社

【代表者】 柏木 朗

【特許出願人】

【識別番号】 000005201

【氏名又は名称】 富士写真フイルム株式会社

【代表者】 古森 重▲隆▼

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9913044

【包括委任状番号】 9913045

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子

【特許請求の範囲】

【請求項 1】 2 次元表面を画定する半導体基板と、

前記半導体基板の受光領域に、複数行及び複数列に亘り行列状に配置された多数個の光電変換素子と、

前記半導体基板の受光領域外に、前記光電変換素子の列ごとに形成され、少なくとも前記光電変換素子からのアナログ画像データをデジタル画像データに変換する信号処理手段と、

前記半導体基板の受光領域外、前記信号処理手段の後段に、前記光電変換素子の各列に対応して形成され、少なくとも 1 コマ分の前記デジタル画像データを記録する不揮発メモリと
を有する固体撮像素子。

【請求項 2】 前記不揮発メモリは、複数コマ分の前記デジタル画像データを記録する請求項 1 記載の固体撮像素子。

【請求項 3】 さらに、前記不揮発メモリに記録された前記画像データが外部に読み出された後に、該画像データを消去する消去手段を有する請求項 1 又は 2 記載の固体撮像素子。

【請求項 4】 前記不揮発メモリの垂直方向のアドレスは、前記受光領域の垂直方向のアドレスに対応付けられている請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像素子。

【請求項 5】 さらに、前記不揮発メモリの入力、出力に共通のデータレジスタを有する請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像素子。

【請求項 6】 前記不揮発メモリは、前記列毎の信号処理手段の出力ビット数と同じビット深さを有する請求項 1 ～ 5 のいずれか 1 項に記載の固体撮像素子。

【請求項 7】 前記信号処理手段は、前記光電変換素子の 1 行分のデジタル画像データを並列に出力し、前記不揮発メモリは、列方向の対応するメモリ位置に前記並列に出力された 1 行分のデジタル画像データを記録する請求項 1 ～ 6 の

いずれか 1 項に記載の固体撮像素子。

【請求項 8】 前記不揮発メモリは、NAND型のトランジスタメモリである請求項 1 ～ 7 のいずれか 1 項に記載の固体撮像素子。

【請求項 9】 前記不揮発メモリは、NOR型のトランジスタメモリである請求項 1 ～ 7 のいずれか 1 項に記載の固体撮像素子。

【請求項 10】 前記トランジスタメモリは、フローティングゲート型トランジスタ構造を有する請求項 8 又は 9 記載の固体撮像素子。

【請求項 11】 前記トランジスタメモリは、MONOS型トランジスタ構造を有する請求項 8 又は 9 記載の固体撮像素子。

【請求項 12】 前記トランジスタメモリは、強誘電体メモリを有する請求項 8 又は 9 記載の固体撮像素子。

【請求項 13】 さらに、前記受光領域の光電変換素子から電荷を読み出し、前記各列毎の信号処理手段にアナログ画像データを転送するCCDを有する請求項 1 ～ 12 のいずれか 1 項に記載の固体撮像素子。

【請求項 14】 さらに、前記受光領域の各光電変換素子から電荷を読み出し、前記各列毎の信号処理手段にアナログ画像データを転送するMOS回路と配線とを有する請求項 1 ～ 12 のいずれか 1 項に記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像素子に関し、特に半導体基板に形成した多数のフォトダイオードに信号電荷を蓄積し、画像信号を出力する固体撮像素子に関する。

【0002】

【従来の技術】

図 9 は、公知の 3 相駆動 ($\Phi 1 \sim \Phi 3$) の電荷結合素子 (CCD) 型固体撮像素子 51 の構成を表すブロック図である。

【0003】

固体撮像素子 51 は、受光部 (イメージエリア) 52 に正方格子状に多数個配置されたフォトダイオード 62 と、フォトダイオードの各列ごとに配置された C

CD型垂直電荷転送路（VCCD）64を有する。VCCD64は、3層のポリシリコン層を有し、フォトダイオード1個（1行）に付、3つのポリシリコン電極を配置する。

【0004】

受光部52の一端には、複数のVCCD64の各1端に接続されたCCD型の水平電荷転送路（HCCD）53が配置されている。HCCD63の後段には、広帯域のアナログアンプで構成される出力アンプ55が配置される。

【0005】

フォトダイオード62に蓄積された信号電荷は、一斉にVCCD64に読み出され、その後、VCCD64中を、駆動信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ により3相駆動で順次垂直方向に転送される。VCCD64にて転送された信号電荷は、1行（ロー）分ごとにHCCD53転送され、駆動信号H1、H2により2相駆動でHCCD53を水平方向に転送され、1電荷ごとに出力アンプ55に転送される。

【0006】

出力アンプ55は、例えば、フローティングディフュージョンアンプ（FDA）とソースホロワ回路からなる電荷／電圧（Q／V）変換部を含んで構成される。出力アンプ55で増幅された画像信号は、外部のアナログ信号処理回路に出力される。水平の読み出しクロックは一般に14MHz以上である。高画素化によってさらに高速駆動が求められる。

【0007】

図10は、公知のMOS型固体撮像素子71の構成を表すブロック図である。MOS型固体撮像素子71は、各々フォトダイオードとフォトダイオードの電荷を読み出す電荷読み出し回路とを含む多数個の画素82が行列状に配置される受光部72と、該画素82のコラム（列）ごとに設けられた、ノイズ除去回路（サンプルホールド回路）73と、A／D変換回路（比較器、データラッチ）74と、各列に共通のデータレジスタ、水平走査回路を含む水平読み出し回路75等を有している。

【0008】

各画素に蓄積された電荷が、電荷読み出し回路で読み出され、配線を転送されて

ノイズ除去回路 7 3、A/D 変換回路 7 4 に供給され、デジタル信号に変換される。デジタル化されたデータが、水平読み出し回路 7 5 によって 1 行ずつシリアルに外部に読み出される。メカシャッタが無い場合、不要な光信号あるいは暗電流が画像信号に混入しないようにするため、できる限り高速に撮像素子から外部に信号を読み出す必要がある。水平の読み出しクロックは一般に 1 4 M H z 以上である。高画素化によってさらに高速駆動が求められる。

【 0 0 0 9 】

【発明が解決しようとする課題】

固体撮像素子において 1 コマ（1 画面又は 1 画面の 1 部）の撮像を行うには、一定時間内に固体撮像素子から全画素信号を読み出す必要があり、固体撮像素子の高速駆動が避けられず、ノイズや消費電力の増大をもたらしている。

【 0 0 1 0 】

また、M O S 型固体撮像素子を利用する場合は、電子シャッタ機能の実現が難しい。全画素データを読み出す時間内に被写体が動くと、画像が流れたようになる問題がある。全画素データを高速に読み出すことにより、被写体の動きを小さくすることができるが、露光時間が短くなり、露光量の低下を招く。また、水平読み出し回路の動作速度が高速になり、消費電力が増大してしまう。

【 0 0 1 1 】

本発明の目的は、低消費電力且つローノイズの固体撮像素子を提供することである。

【 0 0 1 2 】

また本発明の他の目的は、D R A M や外付けのアナログ／デジタル・コンバータが不要で、且つシステムのコスト削減を実現可能な低消費電力の固体撮像素子を提供することである。

【 0 0 1 3 】

また本発明のさらに他の目的は、高速撮像が可能で、低消費電力の M O S 型固体撮像素子を提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の一観点によれば、固体撮像素子は、2次元表面を画定する半導体基板と、前記半導体基板の受光領域に、複数行及び複数列に亘り行列状に配置された多数個の光電変換素子と、前記光電変換素子の列ごとに形成され、少なくとも前記光電変換素子からのアナログ画像データをデジタル画像データに変換する信号処理手段と、前記信号処理手段の後段に、前記光電変換素子の各列に対応して形成され、少なくとも1コマ分の前記デジタル画像データを記録する不揮発メモリとを有する。

【0015】

【発明の実施の形態】

図1は、本発明の実施例による固体撮像素子1の構成を表すブロック図である。

【0016】

固体撮像素子1は、画像情報を受ける受光部2、アナログ信号をNビットのデジタル信号に変換するA/D変換回路を含む信号処理回路3、深さNビットのデータレジスタ4、kコマ分の深さN-bitのデジタル画像信号を記録する不揮発メモリ領域6を含む。なお、本明細書において、「コマ」とは、1画面又は1画面の内の一部の画像信号をさす。

【0017】

受光部2には、列数（水平画素数m）×行数（行数n）個の行列状に配置された多数個の光電変換素子、各列の光電変換素子から読み出した電荷に対応する信号を列方向に転送する機構が形成されている。受光部2は、CCD型又はMOS型のいずれでもよい。CCD型の場合、信号転送機構は、VCCDであり、読み出された電荷がそのまま転送される。MOS型の場合、各光電変換素子（フォトダイオード）に電荷読み出し用のMOS回路が接続され、読み出した電荷に対応する電圧信号、又は電流信号が配線によって転送される。電荷読み出し回路と配線が信号転送機構を構成する。

【0018】

受光部2の周辺には、垂直走査回路7及びタイミング発生回路8が配置され、受光部内の所望の行を選択し、蓄積電荷を読み出し、対応する信号を出力するこ

とができる。すなわち、受光部 2 は、選択した行の各列のアナログ画像信号を並列に出力することができる。

【 0 0 1 9 】

信号処理回路 3 は、受光部 2 から受けた各列のアナログ信号をそれぞれ N ビットのデジタル信号に変換し、並列に出力して、深さ N ビットのデータレジスタ 4 に一時的に格納する。信号処理回路 3 は、受光部 2 の外側に、例えば、M O S (M e t a l O x c i d e S e m i c o n d u c t o r) トランジスタ回路で構成される。信号処理回路 3 は、受光部の画素列 (コラム) 毎に設けられ、少なくともノイズ除去回路、アナログ / デジタル・コンバータ (A D C) 等を含む。なお、周辺回路 3 の詳細は、後に図 4 及び図 5 を用いて説明する。

【 0 0 2 0 】

各行の画像信号に対応するデジタル信号は、データレジスタ 4 に格納された後、不揮発メモリ 6 に記憶される。垂直走査回路 7 と行選択回路 6 b とを関連させることにより、不揮発メモリ 6 内に受光部 2 と行、列に対応させたデジタル画像データが蓄積される。

【 0 0 2 1 】

データレジスタ (バッファメモリ) 4 は、例えば、S R A M 等で構成され、画素単位で N - b i t (例えば、1 0 b i t) の深さを有し、画素単位のアレー状に配列される。データレジスタ 4 のアレーの数は、受光部 2 の水平画素数 (m) に対応する。不揮発メモリ領域 6 は、データレジスタ 4 に対応して、1 画素行当たり $N \times m$ のビット数を有する。即ち、受光部 6 の一画素行分のアナログ信号が、画素毎に信号処理 (A / D 変換) を受け、 $N \times m$ ビットの並列デジタルデータとなって、データレジスタ 4 を介して不揮発メモリ領域 6 の 1 行分のメモリセルに並列に記憶される。

【 0 0 2 2 】

なお、データレジスタ 4 は、不揮発メモリ領域 6 の書き込み用、および読み出し用のデータレジスタ (バッファメモリ) として使用され、読み出し時には画像信号の水平転送路として用いることもできる。

【 0 0 2 3 】

不揮発メモリ領域 6 は、受光部 2 の水平画素数 (m) に対応した $b i t$ 数 (幅) を水平方向に有し、1 画素当たりのビット数 $N - b i t$ (例えば、 $1 0 b i t$) の深さを有し、画素単位にアレー状に配列されている。

【 0 0 2 4 】

不揮発メモリ領域 6 は、1 ~ 複数のコマ (画面) 分の全画素信号を記憶可能な容量を有し、該記憶を保持することができるフラッシュメモリ等の半導体不揮発性メモリで構成される。なお、1 コマ分のメモリ空間 (メモリ容量) は、1 画素当たりのビット数 ($N - b i t$) \times 水平画素数 (m) \times 受光部 2 の行数 (n) である。よって、不揮発メモリ領域 6 全体としては、1 画素当たりのビット数 ($N - b i t$) \times 水平画素数 (m) \times 受光部 2 の行数 (n) \times コマ数 ($k - F r a m e$) のメモリ空間を有する。

【 0 0 2 5 】

デジタル出力回路 5 は、不揮発メモリ 6 から読み出され、データレジスタ 4 に収納されたデジタルデータを水平転送等により読み出し、固体撮像素子 1 の外部に出力する。1 画素あたりの $N - b i t$ (例えば、 $1 0 b i t$) のデジタルデータを並列に出力してもよい。

【 0 0 2 6 】

不揮発メモリ 6 は、たとえば、NAND 型 E E - P R O M、NOR 型フラッシュ E E - P R O M 等を用いて構成することができる。また、各メモリトランジスタ MT の構造としては、フローティングゲート型不揮発メモリセル、MONOS 型不揮発メモリセル又は強誘電体メモリ等を用いることが出来る。なお、これらについては、後に詳述する。

【 0 0 2 7 】

ここで、NAND 型 E E - P R O M の最小寸法 F (デザインルール) を 0.15 ミクロン、フラッシュメモリのセルサイズを $4 F^2$ 、画素 (ピクセル) サイズを 3×3 ミクロン角とすると、1 ピクセルの大きさに $1 0 0$ ビットのフラッシュメモリが入る大きさであることが分かる。1 画素に $1 0$ ビットを割り当てるとすると、1 画素のデータを記録するための単位メモリセルの面積は、1 画素の面積の $1 / 1 0$ と見積もられる。従って、1 コマ (全画素) のデータ記録に要する不

揮発メモリ領域 6 の面積は受光部 2 の約 $1/10$ 以下でよいことが分かる。

【 0 0 2 8 】

すなわち、受光部 2 とほぼ同じ面積のフラッシュメモリ（不揮発メモリ領域 6）を内蔵すれば、10 コマの画像が記録可能である。画素の微細化は、レンズの解像度や可視光の波長により、デジタルカメラなどでは 2×2 ミクロン角程度が実用上の下限と考えられる。一方、メモリの微細化はこのような制約はなく、微細化、多値技術の導入などによりさらに高集積化が進み、記録コマ数が増えていくと考えられる。

【 0 0 2 9 】

なお、不揮発メモリ領域 6 として、強誘電体メモリ（登録商標 F e R A M）を使用することもできる。この場合、メモリへの記録時間（ $100 \text{ nsec} / \text{byte}$ 以下）を高速化することができる。また、消去シーケンスを必要としないため（オーバーライト可能であるため）、次の撮影動作に移行するまでの時間を短縮することができる。

【 0 0 3 0 】

受光部 2 における行の指定は、垂直走査回路 7 によってアドレス（Y）指定が行える。同時に、対応する不揮発性メモリ領域 6 のメモリセルのアドレス（Y）指定も行える。対応する不揮発性メモリ領域 6 のメモリセルは、N ビット（例えば、10 ビット）の深さがある。

【 0 0 3 1 】

不揮発性メモリ領域 6 のメモリセルは、受光部 2 の水平画素数（m）に対応した bit 数を水平方向に有しており、水平画素数 $\text{HP} 1 \sim \text{HP} m$ と一対一で対応している。よって、水平方向のアドレス（X）は、指定する必要がない。

【 0 0 3 2 】

各列のデジタル画像信号が、並列に出力され、並列に A/D 変換され、並列に不揮発メモリに記憶されるので、回路の動作速度を速くしなくても、高速で画像データを読み出し、記憶することができる。不揮発メモリに記憶された画像データは、電源を切っても消滅せず、いつでも読み出すことができる。一旦書き込まれた画像データの読み出し速度は、書き込み速度に制限されない。

【 0 0 3 3 】

不揮発メモリ領域 6 の周辺には行選択回路 6 b が設けられている。行選択回路で不揮発メモリの行を指定し、その行のデジタル画像信号を読み出し、データレジスタ 4 に格納することができる。各画素データは、Nビットデータである。1行ずつ選択し、順次各画素のデジタルデータを読み出すことにより、1コマ分のデジタルデータが供給される。

【 0 0 3 4 】

固体撮像素子 1 を構成する半導体基板上に、これらの回路要素を集積して設けることができる。デジタル画像信号が出力されるので、外部にアナログ／デジタル変換回路を設ける必要はない。

【 0 0 3 5 】

本実施例では、後に詳述するように、デジタル画像信号を外部に読み出す前に、直接、不揮発メモリ領域 6 に 1 画面分のデジタル画像信号を記録し、撮像動作完了後に、不揮発メモリ領域 6 に記録されたデジタル画像信号を読み出せる。記録されたデジタル画像信号の外部への読み出し速度（クロック）は任意（低速）でよい。読み出し速度を低速にすることにより消費電力を低減できる。なお、不揮発メモリ領域 6 内のデジタル画像信号は、次の撮像の前までに、消去回路 E R を用いて消去されることが好ましい。

【 0 0 3 6 】

次に、本実施例における画像信号の流れを図 2 のフローチャートを参照して説明する。

【 0 0 3 7 】

図 2（A）は、本実施例の固体撮像素子 1 が、1コマ分の不揮発メモリ領域 6 を有する場合の例である。

【 0 0 3 8 】

ステップ S 1 のスタンバイ状態から、ステップ S 2 でのシャッタトリガを契機に、撮像が開始される。

【 0 0 3 9 】

ステップ S 3 では、それまでに受光部 2 に蓄積された信号電荷を一旦リセット

し、新たな撮像を開始して、受光部2に信号電荷を蓄積する。

【0040】

ステップS4では、受光部2に蓄積されたアナログ信号電荷をCCD型の場合は垂直転送路を介して、MOS型の場合は信号読み出し回路と配線を介して、読み出す。読み出されたアナログ信号電荷は、信号処理回路3によって、画素の列毎にノイズ除去、A/D変換等の信号処理を施され、デジタル画像信号となる。

【0041】

ステップS5では、信号処理回路3で、画素の列毎に並列処理された1行のデジタル画像信号をデータレジスタ4に格納する。

【0042】

ステップS6では、データレジスタ4に格納されたデジタル画像信号が不揮発メモリ領域6の対応する領域にプログラム（記憶）される。ここで、プログラムされたデジタル画像信号をベリファイするようにしてもよい。

【0043】

以上のステップS4～S6の処理を、受光部2の画素行（ロー）L1～Lnの各行に対して繰り返すことにより、1コマの全画素分の画像信号が、不揮発メモリ領域6にプログラムされる。

【0044】

例えば、1/100秒で全画素を不揮発メモリ領域6に記録させるためには、垂直1000ライン（ $n=1000$ ）の場合、1ライン当たりの処理時間は10 μsec と見積もられる。従って、各列に対応した不揮発メモリの記録時間は最大でも10 μsec 以下が求められる。

【0045】

なお、本実施例の場合、データをバッファメモリに転送する時間を無視でき、かつ水平画素数に対応した不揮発メモリに、デジタル画素信号を並列に記録するので、一水平画素行のデータ記録（プログラム）時間は、個々の画素に対応するメモリ（本実施例では10bit）への記録時間内に完了する。

【0046】

一般的な高速書き込み可能なフラッシュメモリは、約5 $\mu\text{sec}/\text{byte}$ 以

下であるために、画素信号処理、A/D変換等に要する時間を考慮しても、不揮発メモリに記録する時間を確保することができる。即ち、撮像と記録が上記時間内（リアルタイム）に行えることになる。

【 0 0 4 7 】

ステップS7では、不揮発メモリ領域6にプログラムされたデジタル画像信号をデータレジスタ4に読み出し、デジタル出力回路5により固体撮像素子1の外部に出力する。外部への信号出力後、さらなる信号処理、データ圧縮等が行われる。

【 0 0 4 8 】

上述したように、受光部2の全画素分のデータが不揮発メモリ領域6に格納され、データが不揮発状態で保持されるので、このステップS7における読み出しはリアルタイムである必要はなく、またデータを電氣的に継続して保持する必要がない。すなわち、電源をOFFにした後、再度電源を投入しても該データの読み出しが可能である。

【 0 0 4 9 】

ステップS8では、該不揮発メモリ領域6内のデジタル画像信号を、次の撮影に備えて、消去する。通常、管理データ以外の画像データは、一括して消去される。これにより、次の撮像時の記録速度を速めることができる。その後、ステップS1のスタンバイ状態に戻る。

【 0 0 5 0 】

図2（B）は、本実施例の固体撮像素子1が、複数コマ分の不揮発メモリ領域6を有する場合の例である。

【 0 0 5 1 】

ステップS11のスタンバイ状態から、ステップS12でのシャッタトリガを契機に、iコマ目の撮像が開始される。

【 0 0 5 2 】

ステップS13では、それまでに受光部2に蓄積された信号電荷を一旦リセットし、新たな撮像を開始して、受光部2に信号電荷を蓄積する。

【 0 0 5 3 】

ステップ S 1 4 及び S 1 5 の処理は、図 2 (A) とほぼ同一であるので、説明を省略する。

【 0 0 5 4 】

ステップ S 1 6 では、データレジスタ 4 に格納された i コマのデジタル画像信号が i - F r a m e の不揮発メモリ領域 6 の対応する領域にプログラム（記憶）される。ここで、プログラムされたデジタル画像信号をベリファイするようにしてもよい。

【 0 0 5 5 】

以上のステップ S 1 4 ～ S 1 6 の処理を、受光部 2 の画素行（ロー） L 1 ～ L n の各行に対して繰り返すことにより、i コマの全画素分の画像信号が、i - F r a m e の不揮発メモリ領域 6 にプログラムされる。

【 0 0 5 6 】

ステップ S 1 7 では、現在のコマ数（i）を 1 つインクリメントさせる。なお、上記のステップ S 1 1 ～ S 1 6 の処理は、現在のコマ数（i）> 不揮発メモリ領域 6 にプログラム可能なコマ数（k）になるまで繰り返すことができる。

【 0 0 5 7 】

ユーザは、不揮発メモリ領域 6 にプログラムされた任意のコマの画像信号を、いつでも、データレジスタ 4 を介して外部に出力させることができる。また、ユーザは、不揮発メモリ領域 6 にプログラムされた任意のコマの画像信号を、消去することができる。なお、画像信号の消去は、全部のコマについて同時に行うようにしても良い。

【 0 0 5 8 】

次に、図 3 を参照して、本発明の実施例による固体撮像素子 1 の受光部 2 を C D 型とする場合の構成について説明する。

【 0 0 5 9 】

受光部 2 は、多数の光電変換素子 1 2 （n 型不純物添加領域 1 2 a 及び埋め込み用 p^+ 型不純物添加領域 1 2 b を含む）をいわゆる画素ずらし配置に配置して構成されている。ここで、本明細書でいう「画素ずらし配置」とは、2 次元テトラゴナル行列の第 1 格子と、その格子間位置に格子点を有する 2 次元テトラゴナ

ル行列の第 2 格子とを合わせた配置を指す。例えば、奇数列（行）中の各光電変換素子 1 2 に対し、偶数列（行）中の光電変換素子 1 2 の各々が、光電変換素子 1 2 の列（行）方向ピッチの約 $1/2$ 、列（行）方向にずれ、光電変換素子列（行）の各々が奇数行（列）または偶数行（列）の光電変換素子 2 のみを含む。「画素ずらし配置」は、多数個の光電変換素子 1 2 を複数行、複数列に亘って行列状に配置する際の一形態である。

【 0 0 6 0 】

なお、ピッチの「約 $1/2$ 」とは、 $1/2$ を含む他に、製造誤差、設計上もしくはマスク製作上起こる画素位置の丸め誤差等の要因によって $1/2$ から外れてはいるものの、得られる固体撮像素子 1 2 の性能およびその画像の画質からみて実質的に $1/2$ と同等とみなすことができる値をも含むものとする。上記の「光電変換素子行内での光電変換素子 1 2 のピッチの約 $1/2$ 」についても同様である。

【 0 0 6 1 】

それぞれの光電変換素子 1 2 の列間には、光電変換素子 1 2 で発生した信号電荷を読み出して垂直方向に転送する n 型の転送チャネル領域（垂直転送チャネル）1 4 が、光電変換素子 1 2 の間隙を垂直方向に蛇行するように設けられている。画素ずらし配置により形成された空隙部に蛇行する転送チャネルが配置され、隣接する転送チャネルは光電変換素子を介して離れたり、チャネルストップ領域 1 3 を挟んで近接したりする。光電変換素子、転送チャネルによって、受光部の半導体基板のほとんどの面積が有効利用されている。

【 0 0 6 2 】

垂直転送チャネル 1 4 上方には、絶縁膜（図示せず）を挟んで、転送電極 1 6 a が光電変換素子 1 2 の間隙を蛇行するように水平方向に形成されている。1 行当たり 2 電極が形成されているが、各列において画素は 2 行に 1 つ配置されているので、1 画素当たり 4 電極が配置されている。転送電極のほとんど全部の面積が転送チャネル上に配置されている。

【 0 0 6 3 】

転送電極 1 6 a は、垂直転送チャネル 1 4 とともに垂直電荷転送路（VCCD

)を形成し、光電変換素子12で生じた信号電荷を4相駆動パルス($\Phi 1 \sim \Phi 4$)で垂直方向に転送する。異なる位相で駆動する転送電極16aの各々は、狭いギャップ(転送電極16aの配列方向の間隔)を介して同一平面上に形成した単層電極で構成されている。

【0064】

ここで、本明細書でいう単層電極(構造)とは、いわゆる従来の多層ポリシリコン電極(構造)に対するものであり、電極端部において、電極同士が重ならず、複数の電極が同一平面上に狭いギャップを有して配置される構造である。したがって、本明細書では、単一導電材料(例えば、シリコン(Si)、タングステン(W)等)のみから形成される場合に限らず、タングステンシリサイド、ポリシリコンとタングステン等の化合物や積層構造なども単層電極構造に含まれる。

【0065】

なお、単層電極構造を有する固体撮像素子の構成及び製造方法の詳細は、本出願と同一出願人による2000年12月18日出願の特許出願2000-383922号の発明の実施の形態の項を参照する。例えば、単層の電極膜を形成し、パターニングして分離した電極を形成した後、さらに薄い導電層を堆積し、異方性エッチングでパターニングした電極の側壁上にのみ残すことにより電極間ギャップを狭くすることができる。電極層は多結晶シリコンでも金属でもよい。後から堆積する導電層も、CVD成長できれば、金属でも多結晶シリコンでもよい。

【0066】

図4は、図3に示すような構成の各VCCDの出力端以下の構成を示す。なお、図1及び図3の参照番号と同じ番号のものは実質的に同じ部材を示す。

【0067】

信号処理回路3は、垂直転送チャネル14の各々に対応して、受光部2の列ごとに設けられ、各信号処理回路3の幅は、各光電変換素子12の水平方向の寸法(単位水平画素寸法)以下である。この単位水平画素寸法内に、例えば、増幅回路(FDA)31、ノイズ除去回路32、比較回路33a及びデータラッチ(データレジスタ)4を含むアナログ/デジタル・コンバータ(ADC)33が、オ

ンチップで形成される。

【 0 0 6 8 】

FDA31は、フローティングディフュージョンアンプ（FDA）とソースホロウ回路からなる電荷／電圧（Q／V）変換回路であり、受光部2の垂直転送チャンネル14から供給される信号電荷をアナログ電圧信号に変換する。

【 0 0 6 9 】

垂直転送チャンネル14の端部の転送電極16aに隣接して、出力ゲートOGが形成される。さらに、垂直転送チャンネル14の端部に隣接して、n領域である浮遊拡散層（フローティングディフュージョン）FDが形成される。また、浮遊拡散層FDに隣接して、n型領域14及びその上方にリセットゲートRGが形成される。リセットゲートRGには、リセット信号が供給される。出力ゲートOG、リセットゲートRGに負電圧を印加して、その下のn型領域を空乏化させると、フローティングディフュージョンFDは電氣的に浮遊状態となる。

【 0 0 7 0 】

浮遊拡散層FDは、出力MOSトランジスタTAのゲートに接続される。リセットドレインRDは、トランジスタTAのドレイン側に接続される。また、トランジスタTAのソースは、負荷MOSトランジスタTBのドレイン側に接続されている。

【 0 0 7 1 】

負荷MOSトランジスタTBは、抵抗と同じ役割を果たし、ゲートとソースを接続して接地することにより、トランジスタTAによるソースホロウ回路を形成している。

【 0 0 7 2 】

FDA31は、以上のような回路構成により、受光部2の垂直転送チャンネル14から供給される信号電荷を、信号電荷量に比例したアナログ電圧信号に変換して、後段のノイズ除去回路32に供給する。

【 0 0 7 3 】

ノイズ除去回路32は、例えば、相関2重サンプリング回路であり、図に示すような構成となっている。ノイズ除去回路32は、供給されるクランプ信号のタ

イミングに応じて供給される基準電圧をコンデンサに蓄積し、供給されるアナログ電圧信号のフィードスルーレベルをクランプする。サンプリングしたアナログ電圧信号とクランプされたフィードスルーレベルの差分が比較回路 3 3 a に供給される。アナログ電圧信号は、このノイズ除去回路 3 2 を通すことにより、 $1/f$ 雑音やリセット雑音が低減される。

【 0 0 7 4 】

比較回路 3 3 a は、データラッチ（データレジスタ）4 とともに、ADC 3 3 を構成し、供給されるアナログ電圧信号をデジタル画像信号に変換する。比較回路 3 3 a は、ノイズ除去回路 3 2 から供給されるアナログ電圧信号と基準電圧信号を比較して、両者のレベル差がなくなるゼロレベルの検出を行う。比較回路 3 3 a は、ゼロレベルを検出した時に、データラッチ 4 にラッチ信号を出力する。データラッチ 4 には、カウント値が供給される。カウント値は、基準電圧信号の変動開始からカウントが開始され、アナログ信号に比例する。すなわち、ゼロ検出時のカウント値が、供給されるアナログ電圧信号に対応するデジタルデータを表す。

【 0 0 7 5 】

ADC 3 3 にて変換されたデジタル画像信号は、読み出し・書き込み回路 3 4 によりデータラッチ 4 から読み出されて、受光部 2 の行に対応する不揮発メモリ MC 1 ~ MC n のいずれかに格納される。例えば、受光部 2 の行 L 1 からの信号は、不揮発メモリ MC 1 に格納される。これを受光部 2 の全行（L 1 ~ L n）について行い、全画素分の信号を不揮発メモリ MC 1 ~ MC n に格納する。なお、不揮発メモリ MC 1 ~ MC n は、1 コマ分のデジタル画像信号を格納することができる。また、複数コマのデジタル画像信号を格納する場合は、不揮発メモリ MC 1 ~ MC n を複数組（不揮発メモリ MC 1 ~ MC n × コマ数 k - F r a m e）用意する。

【 0 0 7 6 】

格納されたデジタル画像信号は、読み出し・書き込み回路 3 4 により行ごとに読み出されて、データレジスタ（水平走査回路）4 により出力される。

【 0 0 7 7 】

なお、本実施例では、水平方向の全画素を同時に並列処理し、並列書き込みを行う。不揮発メモリ領域 6 内のデータの読み出し（データの消失やノイズの影響を受けにくいので）は、低い読み出し周波数であっても問題ない。このように、従来実現できなかった非圧縮画素信号データのリアルタイム記録が可能になり、併せて低消費電力駆動が可能になる。

【 0 0 7 8 】

図 5 は、本発明の実施例による信号処理回路 3 及び不揮発メモリ領域 6 を含む周辺回路の構成の他の例を表すブロック図である。なお、図 1、図 3 及び図 4 の参照番号と同じ番号のものは実質的に同じ部材を示す。なお、図 5 は、受光部 2 を MOS 型とした場合の例である。

【 0 0 7 9 】

受光部 2 が MOS 型である場合は、CCD 型と異なり、単位画素毎にフォトダイオード PD の電圧信号が読み出し回路によって増幅されるので、F D A 3 1（図 4）は、不要である。その他の構成は、図 4 に示す CCD 型の例と同一なので、説明を省略する。

【 0 0 8 0 】

次に、図 6 及び図 7 を参照して、不揮発メモリ領域 6 を構成する不揮発メモリの構成を説明する。信号処理回路 3（図 1）における A/D 変換後のデジタル画像信号のデータ長が N ビットである場合、対応する不揮発メモリ構成も N ビットの幅を有するメモリアレーとして構成される。

【 0 0 8 1 】

図 6（A）は、16 個のメモリセル（1 b i t のメモリトランジスタ MT 1 ～ MT 1 6）で構成される NAND 型メモリ構造を表すブロック図である。図 6（B）は、図 6（A）に示す NAND 型メモリ構造の平面図である。

【 0 0 8 2 】

NAND 型メモリ構造では、1 つのビット線コンタクト B 1 と接地との間に、水平読み出し制御線 S 1 1 がゲートに接続されるセレクトトランジスタ ST 1 及び垂直読み出し制御線 S 1 2 がゲートに接続されるセレクトトランジスタ ST 2 に挟まれた、それぞれ 1 b i t の情報を格納する 16 個のメモリトランジスタ M

T 1 ～ M T 1 6 が直列に接続されている。

【 0 0 8 3 】

なお、不揮発性メモリは、N A N D 型メモリ構造に限らず、図 6 (C) に示すように、1 つのビット線コンタクト B 1 に 1 つのトランジスタが接続される N O R 型メモリ構造を用いてもよい。

【 0 0 8 4 】

メモリトランジスタ M T 1 ～ M T 1 6 は、フローティングゲート型メモリトランジスタ、M O N O S 型メモリトランジスタ及び強誘電体メモリトランジスタの内、いずれの構造で形成されてもよい。

【 0 0 8 5 】

図 7 は、不揮発メモリ領域 6 を構成する不揮発メモリのメモリトランジスタの構造の例を表す断面図及び回路図である。

【 0 0 8 6 】

図 7 (A) は、フローティングゲート型メモリトランジスタ M T a の構造を表す断面図であり、図 7 (B) は、フローティングゲート型メモリトランジスタ M T a の回路図である。

【 0 0 8 7 】

n 型シリコン等の半導体基板 4 0 の表面に p 型ウェル 4 1 が形成される。p 型ウェル 4 1 の表面領域には、n 型不純物添加領域 4 2 s 及び 4 2 d が形成される。それぞれの n 型不純物添加領域 4 2 s 及び 4 2 d 上には、ポリシリコン等の電極 4 3 s 及び 4 3 d が形成される。n 型不純物添加領域 4 2 s 及び 4 2 d の中間部上方には、S i O₂ などの絶縁膜 4 4 a を挟んでポリシリコン等のフローティングゲート 4 5 a が形成される。フローティングゲート 4 5 a の上方には、S i O₂ などの絶縁膜 4 4 b を挟んでポリシリコン等のワード線電極 4 6 が形成される。

【 0 0 8 8 】

図 7 (C) は、M O N O S 型メモリトランジスタ M T b の構造を表す断面図であり、図 7 (D) は、M O N O S 型メモリトランジスタ M T b の回路図である。

【 0 0 8 9 】

n型シリコン等の半導体基板40の表面にp型ウェル41が形成される。p型ウェル41の表面領域には、n型不純物添加領域42s及び42dが形成される。それぞれのn型不純物添加領域42s及び42d上には、ポリシリコン等の電極43s及び43dが形成される。n型不純物添加領域42s及び42dの中間部上方には、酸化シリコン層44a、窒化シリコン層45b、酸化シリコン層44bが積層される。酸化シリコン層44bの上には、ポリシリコン等のワード線電極46が形成される。酸化シリコン層と窒化シリコン層との界面が電荷蓄積機能を有する。

【0090】

図7(E)は、強誘電体メモリトランジスタMTcの構造を表す断面図であり、図7(D)は、強誘電体メモリトランジスタMTcの回路図である。

【0091】

n型シリコン等の半導体基板40の表面にp型ウェル41が形成される。p型ウェル41の表面領域には、n型不純物添加領域42s及び42dが形成される。n型不純物添加領域42s及び42dの中間領域上にゲート電極45cが形成され、絶縁層44cで覆われる。不純物添加領域42s、42dに達する開口が形成され、タングステン等のプラグ43s及び43dが形成される。絶縁膜44c上には、酸素の拡散防止の機能を有する窒化シリコン膜44dが形成され、窒化シリコン膜44d上には、プラチナ等の酸化に強い下部電極48a、強誘電体48b、上部電極48cの積層による強誘電体キャパシタ48が形成される。強誘電体キャパシタ48を覆って、絶縁膜44eが形成される。導電性プラグ43s及び43d、およびキャパシタの上部電極48cの上面を露出する開口が、窒化シリコン膜44d、絶縁膜44eを貫通して形成され、タングステン等の電極47s、47d及び47cが形成される。絶縁膜44e上に、プラグ47dと47cを接続するように、アルミニウム等の電極49が形成される。

【0092】

図8は、本実施例による固体撮像素子を用いたデジタルカメラのシステム構成例を表す概略的ブロック図である。

【0093】

デジタルカメラ 100 は、例えば、受光部 2 及び不揮発メモリ領域 6 等を含む固体撮像素子 1、レンズ等を含む光学系 101、シャッタ制御部 102、水晶発信器 103、N-bit のデジタル信号入出力端子 104、電源 105 等を含んで構成される。

【0094】

本実施例による固体撮像素子 1 を用いることにより、HCCD と高速アナログアンプ、外付け高速 A/D コンバータ等が不要となる。また、固体撮像素子 1 にオンチップで不揮発メモリ領域 6 を有しているので、外付けの記憶媒体を設けなくてもよい。さらに、撮像した生 (raw) データを直接外部に読み出すことにより、信号圧縮等を行うデジタル信号処理回路を省略して、ワンチップデジタルカメラを実現している。本実施例では、これにより、超低消費電力、ローコストカメラを実現することができる。

【0095】

以上、本発明の実施例によれば、固体撮像素子を構成する半導体基板上に、少なくとも一画面分の画像データを記録可能な不揮発メモリ領域が、設けられる。よって、全画素のデータが不揮発メモリに格納され、データが不揮発状態で保持されるので、読み出しはリアルタイムである必要はなく、またデータを電氣的に継続して保持する必要がある。

【0096】

また、全画素のデータを一旦不揮発メモリに高速に格納するので、暗電流等の影響を受けずに、その後の読み出しクロックを高速に行う必要がなく、低コスト、低消費電力のCCD型固体撮像素子を実現することができる。

【0097】

また、全画素のデータを一旦不揮発メモリに高速に格納するので、MOS型固体撮像素子においても電子シャッタ機能が実現可能である。

【0098】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組合せ等が可能なことは当業者に自明であろう。

【 0 0 9 9 】

【発明の効果】

本発明によれば、低消費電力且つローノイズの固体撮像素子を提供することができる。

【 0 1 0 0 】

また本発明によれば、DRAMや外付けのアナログ／デジタル・コンバータを設けなくてもよく、且つシステムのコスト削減を実現可能な低消費電力のCCD型固体撮像素子を提供することができる。

【 0 1 0 1 】

また本発明によれば、高速記録が可能で、電子シャッタ機能が実現可能なMOS型固体撮像素子を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施例による固体撮像素子 1 の構成を表すブロック図である。

【図 2】 本実施例における画像信号の流れを表すのフローチャートである。

【図 3】 本発明の実施例による固体撮像素子 1 の受光部 2 の一例を表す平面図である。

【図 4】 本発明の実施例による信号処理回路 3 及び不揮発メモリ領域 6 を含む周辺回路の構成の一例を表すブロック図である。

【図 5】 本発明の実施例による信号処理回路 3 及び不揮発メモリ領域 6 を含む周辺回路の構成の他の例を表すブロック図である。

【図 6】 不揮発メモリ領域 6 のメモリ構造を表す回路図及び平面図である。

【図 7】 不揮発メモリ領域 6 を構成する不揮発メモリのメモリトランジスタの構造の例を表す断面図及び回路図である。

【図 8】 本実施例による固体撮像素子を用いたデジタルカメラのシステム構成例を表す概略的ブロック図である。

【図 9】 従来一般的な 3 相駆動 ($\Phi 1 \sim \Phi 3$) の電荷結合素子 (CCD

）型固体撮像素子 5 1 の構成を表すブロック図である。

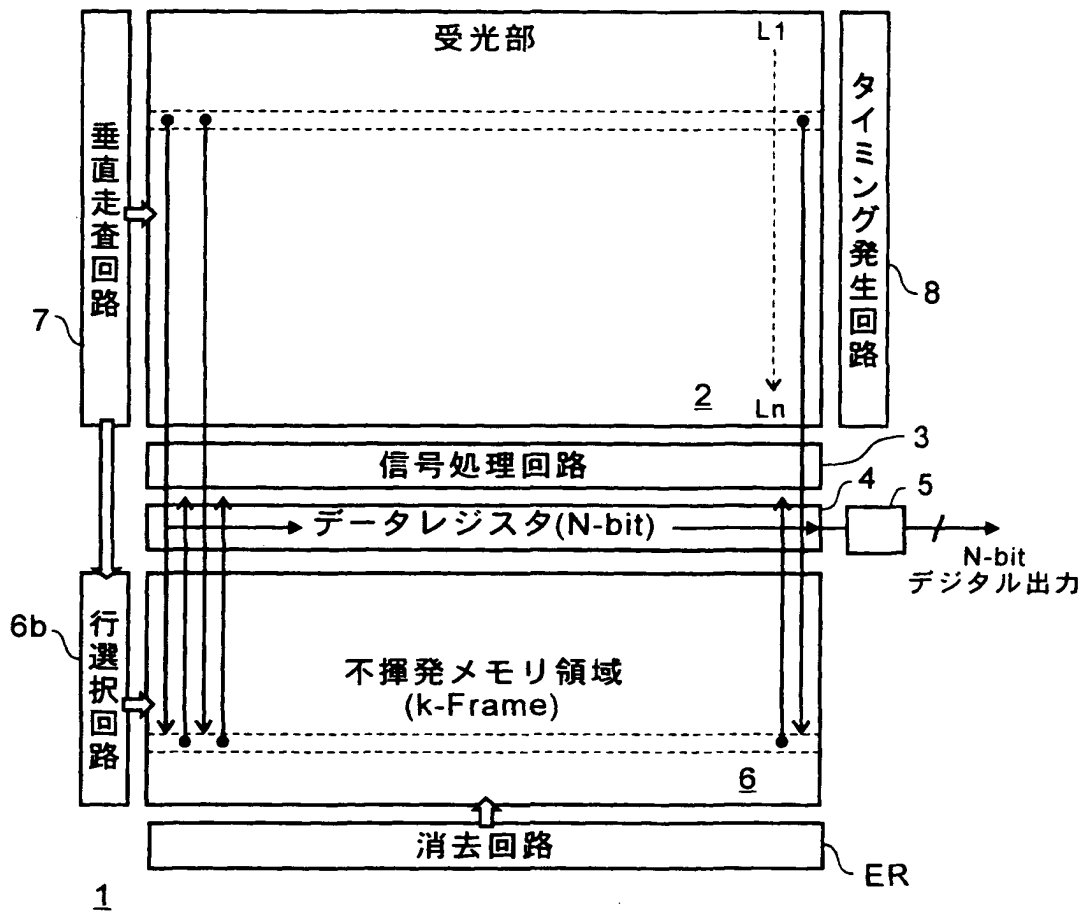
【図 1 0】 従来の一般的な M O S 型固体撮像素子 7 1 の構成を表すブロック図である。

【符号の説明】

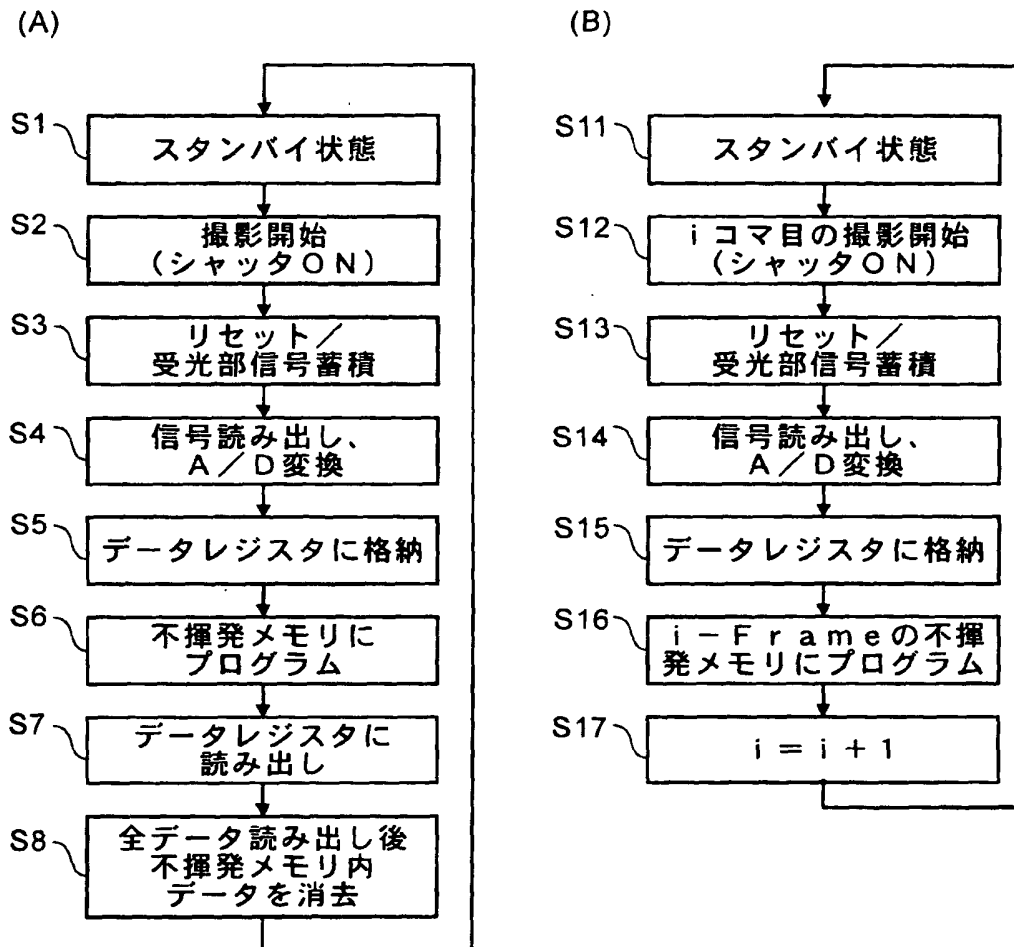
1 … 固体撮像素子、 2 … 受光部、 3 … 信号処理回路、 4 … データレジスタ、 5 … 出力アンプ、 6 … 不揮発メモリ領域、 7 … 垂直走査回路、 8 … タイミング発生回路、 1 2 … 光電変換素子、 1 3 … チャネルストップ、 1 4 … 垂直転送チャネル、 1 6 … 転送電極、 3 1 … F D A、 3 2 … ノイズ除去回路、 3 3 … 比較回路、 3 4 … 読み出し・書き込み回路、 4 0 … 半導体基板、 4 1 … p 型ウェル、 4 2 … n 型不純物添加領域、 4 3、 4 7、 4 9 … プラグ／電極、 4 4 … 絶縁膜、 4 5 … ゲート、 4 6 … ワード線電極、 4 8 … 強誘電体キャパシタ、 1 0 0 … デジタルカメラ、 1 0 1 … 光学系、 1 0 2 … シャッタ制御、 1 0 3 … 水晶発振器、 1 0 4 … 入出力回路、 1 0 5 … 電源

【書類名】 図面

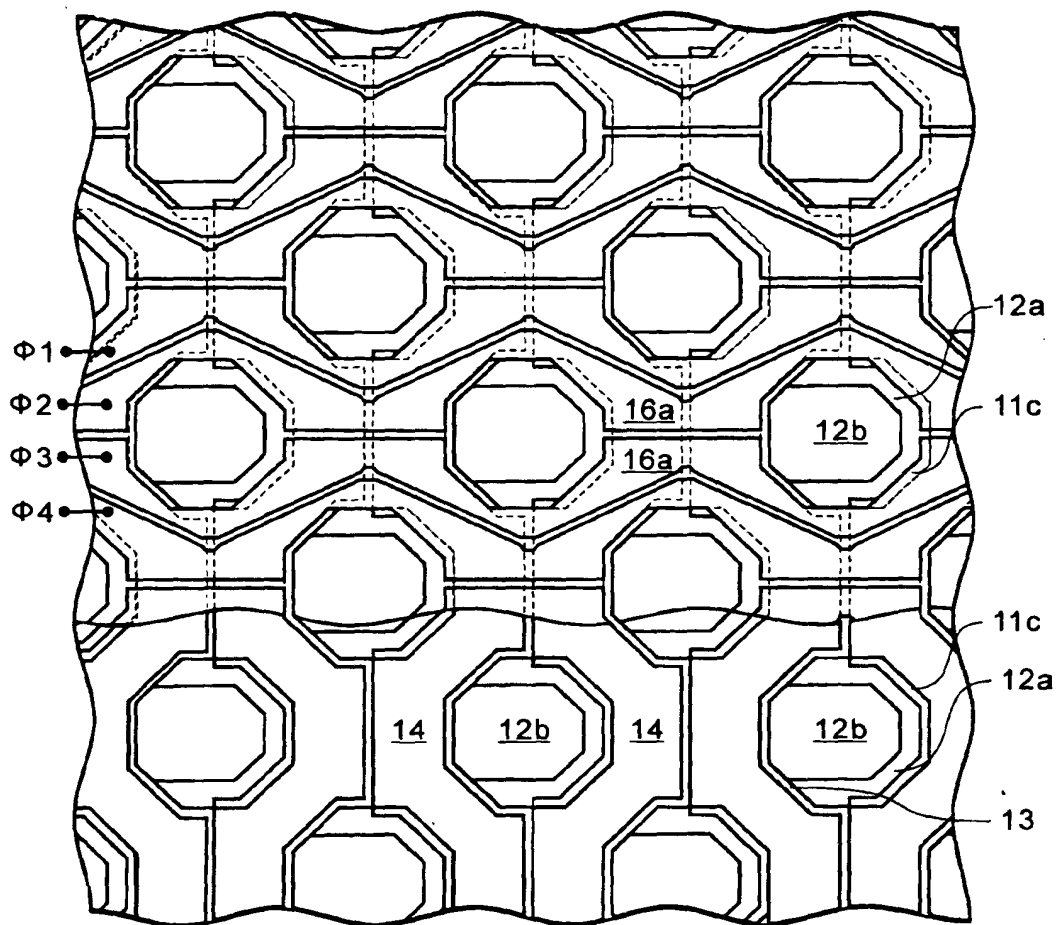
【図 1】



【図 2】

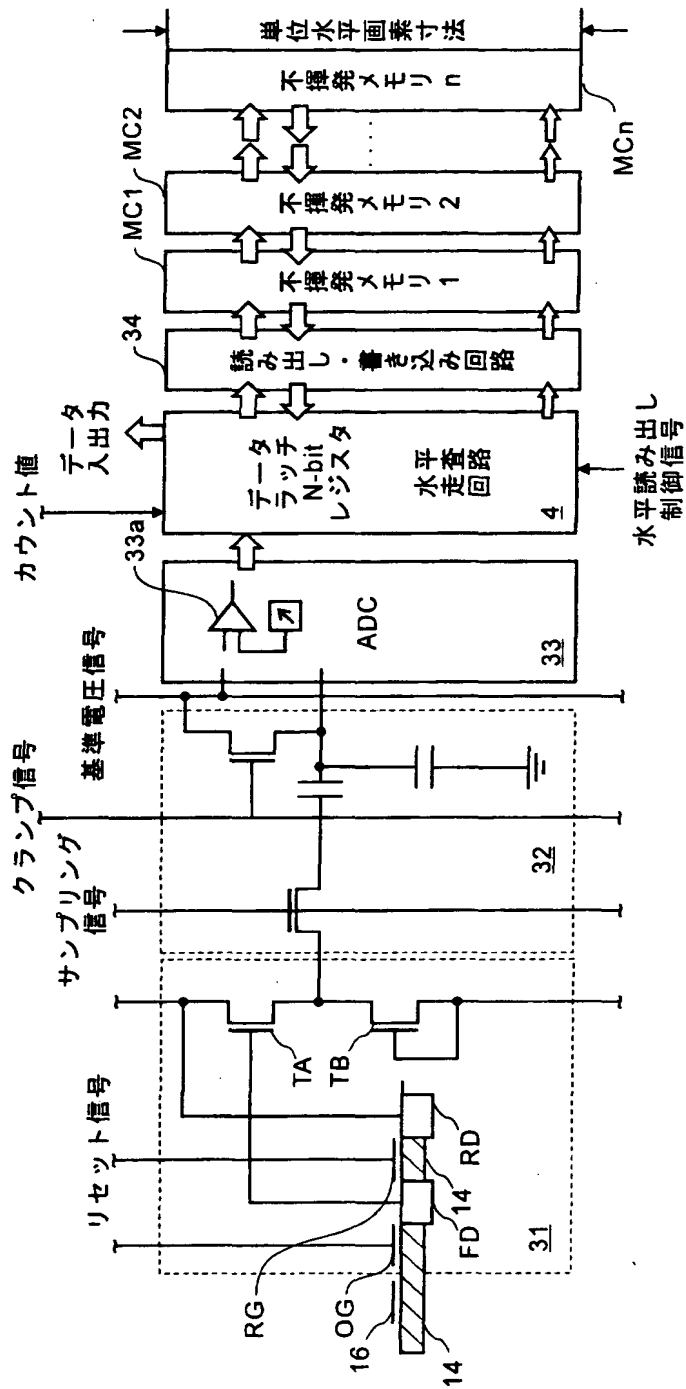


【図 3】

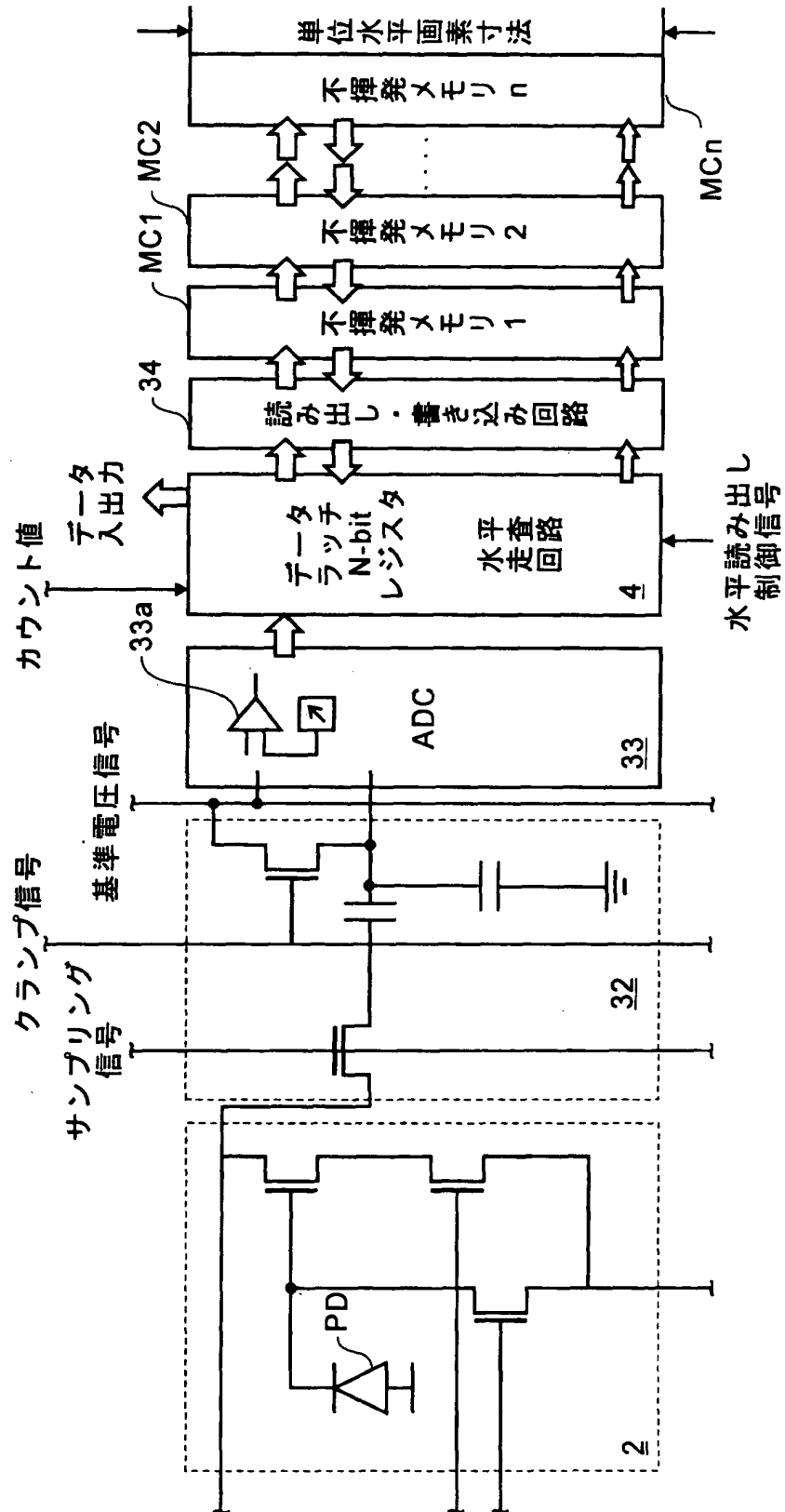


2

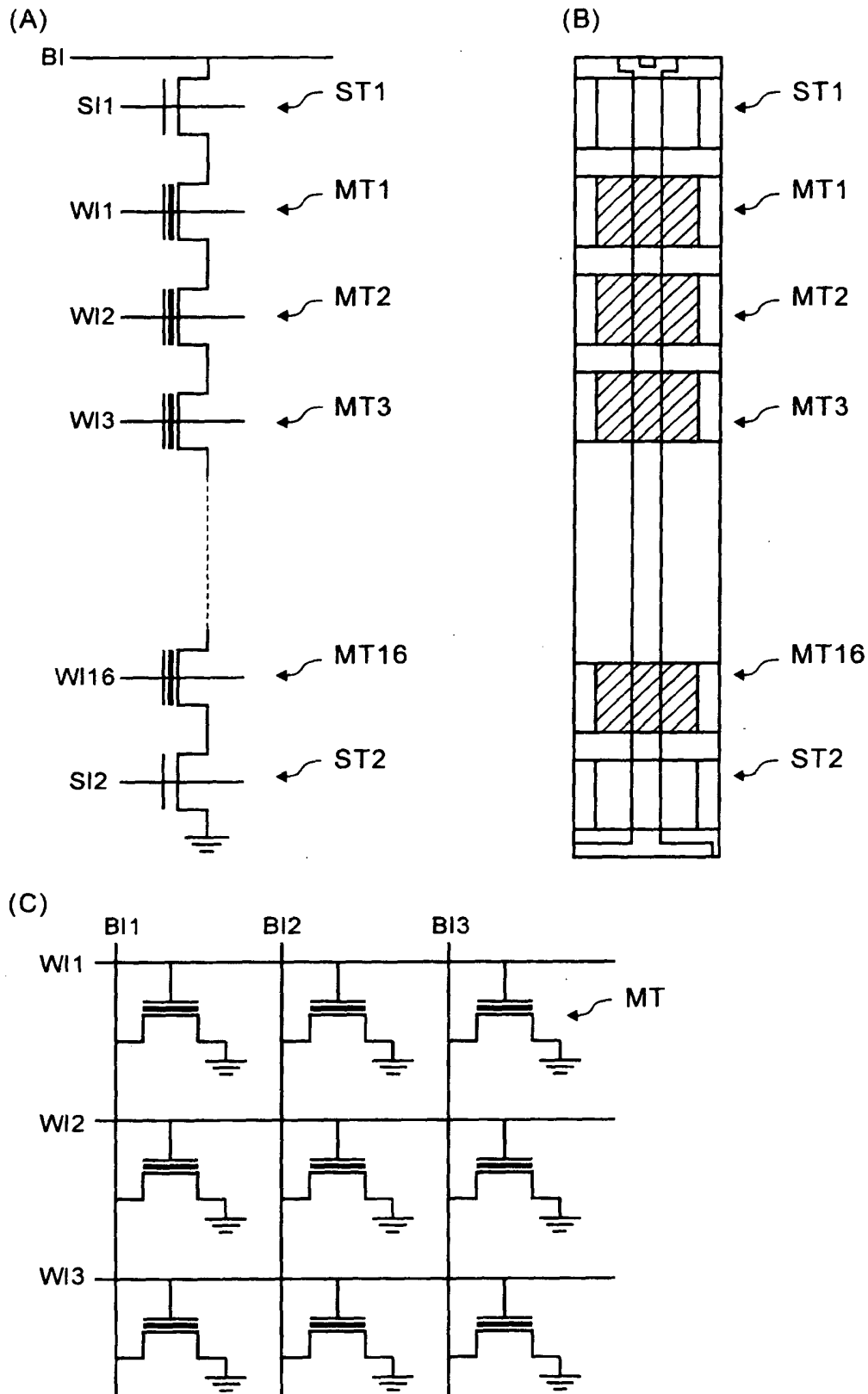
【図4】



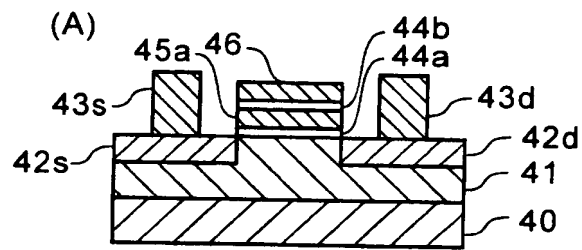
【図5】



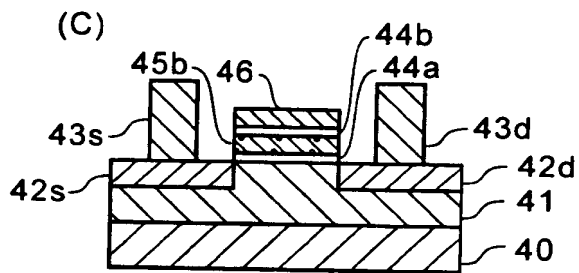
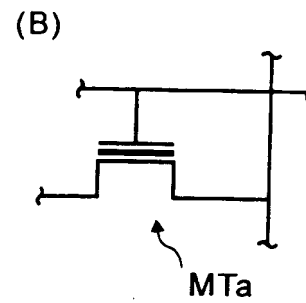
【図 6】



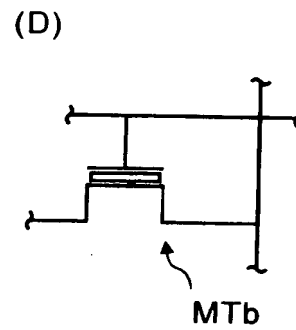
【図 7】



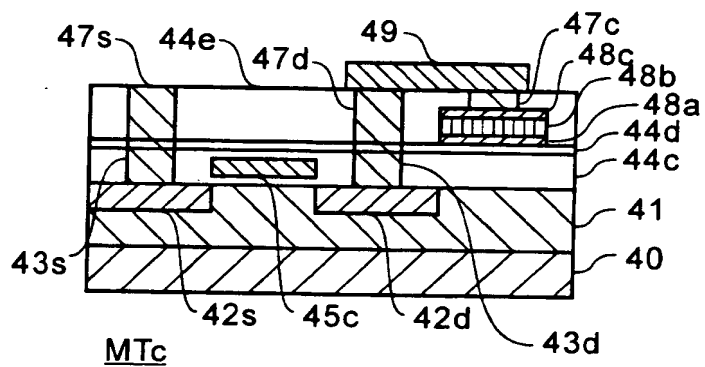
MTa



MTb

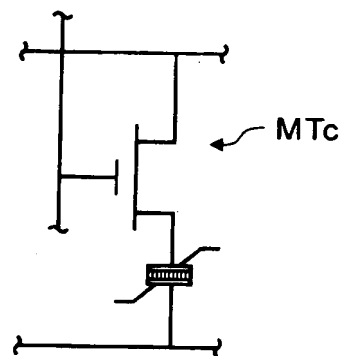


(E)

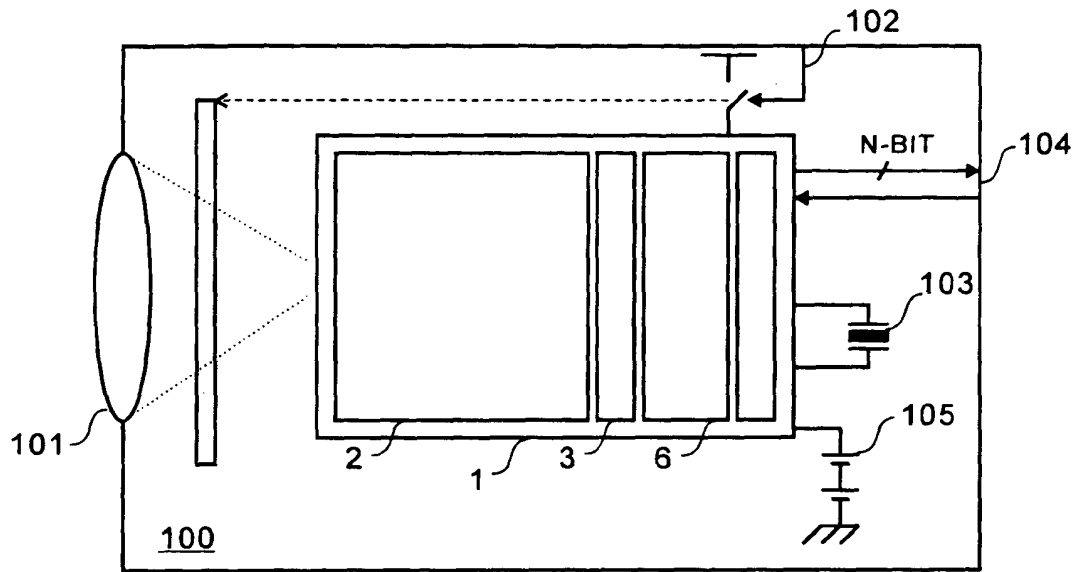


MTc

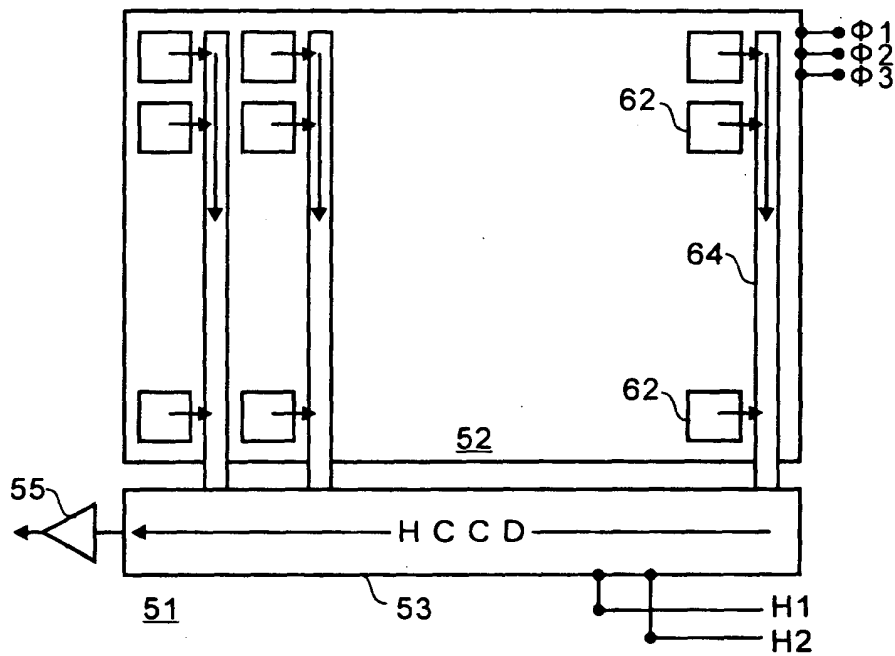
(F)



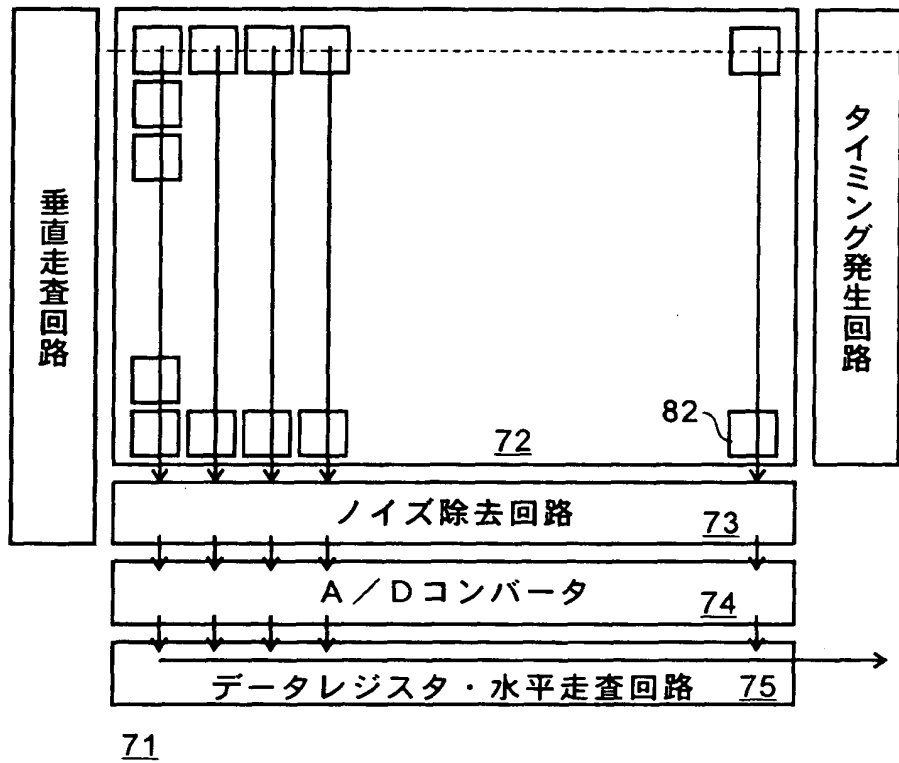
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 低消費電力且つローノイズの固体撮像素子を提供する。

【解決手段】 固体撮像素子は、2次元表面を画定する半導体基板と、前記半導体基板の受光領域に、複数行及び複数列に亘り行列状に配置された多数個の光電変換素子と、前記光電変換素子の列ごとに形成され、少なくとも前記光電変換素子からのアナログ画像情報をデジタル画像データに変換する信号処理手段と、前記信号処理手段の後段に、前記光電変換素子の各列に対応して形成され、少なくとも1コマ分の前記デジタル画像データを記録する不揮発メモリとを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [3 9 1 0 5 1 5 8 8]

1. 変更年月日	1 9 9 1 年 7 月 3 1 日
[変更理由]	新規登録
住 所	宮城県黒川郡大和町松坂平 1 丁目 6 番地
氏 名	富士フイルムマイクロデバイス株式会社

出 願 人 履 歴 情 報

識別番号 [000005201]

1. 変更年月日	1990年 8月14日
[変更理由]	新規登録
住 所	神奈川県南足柄市中沼210番地
氏 名	富士写真フイルム株式会社